



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

⑧7 EP 0 296 822 B1

⑩ DE 38 86 107 T 2

⑤1 Int. Cl.⁵:
H 04 B 17/00
H 04 L 27/22
G 01 R 29/26

②1 Deutsches Aktenzeichen:	38 86 107.0
⑧6 Europäisches Aktenzeichen:	88 305 685.5
⑧6 Europäischer Anmeldetag:	22. 6. 88
⑧7 Erstveröffentlichung durch das EPA:	28. 12. 88
⑧7 Veröffentlichungstag der Patenterteilung beim EPA:	8. 12. 93
④7 Veröffentlichungstag im Patentblatt:	26. 5. 94

③0 Unionspriorität: ③2 ③3 ③1
23.06.87 JP 156044/87 23.06.87 JP 156045/87
29.06.87 JP 162109/87 14.07.87 JP 175658/87

⑦3 Patentinhaber:
NEC Corp., Tokio/Tokyo, JP

⑦4 Vertreter:
Tauchner, P., Dipl.-Chem. Dr.rer.nat.; Heunemann,
D., Dipl.-Phys. Dr.rer.nat.; Rauh, P., Dipl.-Chem.
Dr.rer.nat.; Hermann, G., Dipl.-Phys. Dr.rer.nat.;
Schmidt, J., Dipl.-Ing.; Jaenichen, H., Dipl.-Biol.
Dr.rer.nat., Pat.-Anwälte; Tremmel, H., Rechtsanw.,
81675 München

⑧4 Benannte Vertragsstaaten:
DE, FR, GB, NL

⑦2 Erfinder:
Yoshida, Shousei c/o NEC Corporation, Minato-ku
Tokyo, JP; Otani, Susumu c/o NEC Corporation,
Minato-ku Tokyo, JP; Todoroki, Toshiya c/o NEC
Corporation, Minato-ku Tokyo, JP

⑤4 Träger/Rausch-Detektor für digitale Übertragungssysteme.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 38 86 107 T 2

DE 38 86 107 T 2

EP-B-0 296 822
(88 30 5685.5)
NEC CORPORATION
u.Z.: EP-2511

07. Feb. 1994

5 **Träger/Rausch-Detektor für digitale Übertragungssysteme**

HINTERGRUND DER ERFINDUNG

Die vorliegende Erfindung betrifft einen Träger/Rausch-Detektor für digitale Übertragungssysteme.

Das Betriebsverhalten des Demodulators eines digitalen Übertragungssystems wird durch das Verhältnis (E_b/N_o) der Leistung pro Bit zum Rauschen eines demodulierten digitalen Signals bestimmt, welches wie folgt definiert ist:

15
$$\frac{E_b}{N_o} = \frac{C}{N} \cdot \frac{B}{R}$$

wobei C/N ein Träger/Rausch-Verhältnis, B die äquivalente Rauschbandbreite des Demodulators, und R die Datenübertragungsrate, die in einem 2-PSK-System (Zwei-Phasen-Umtastsystem) gleich der Zeichenrate und in einem 4-PSK-System gleich der doppelten Zeichenrate ist. Das C/N -Verhältnis ist somit ein bestimmender Faktor für die Systemberechnung. Bei Satellitenkommunikationssystemen wird beispielsweise die Berechnung eines Satellitenkanals durch Einfügen eines Bandpassfilters mit schmalerer Bandbreite als der Bandbreite des Satellitentransponders am Eingang eines Demodulators durchgeführt. Ein Testträger mit einer Frequenz, die der Mittenfrequenz des Bandpasses entspricht, wird übertragen, um den Leistungspegel, welcher dem Gesamtwert ($C + N$) entspricht zu messen. Dann wird der Träger weggenommen und der Leistungspegel noch einmal als eine Darstellung der Rauschkomponente N gemessen. Die Trägerkomponente C wird dann durch Subtraktion des Rauschens N von dem Gesamtwert ($C + N$) erhalten und zum Schluß wird der Wert C durch den Rauschwert N dividiert, um das Verhältnis C/N zu erhalten. Die äquivalente Bandbreite des Bandpassfilters entspricht der Konstante B .

Wegen der manuellen Prozeduren muß das Übertragungssystem unterbrochen werden.

Das U.S.-Patent US-A-4,124,818 offenbart eine Technik zum Überwachen eines Signal/Störsignal-Verhältnisses in einem Funkübertragungssystem und insbesondere zum Kanalumschalten. Es wird ein bandpassgefiltertes Zwischenfrequenzsignal verarbeitet, um eine Gleichspannungskomponente abzuleiten, die die Leistung des Informationssignals darstellt, und eine Niederfrequenzkomponente, die das Kreuzprodukt der Informationssignalamplituden darstellt. Ein Signal/Störsignal-Verhältnis wird durch das Verhältnis der Gleichspannungskomponente zur Kreuzproduktkomponente erhalten. Wenn ein derartiges Verhältnis unter einen vorgegebenen Schwellenwert fällt, erfolgt eine Umschaltung auf einen Leerlaufkanal.

15

ZUSAMMENFASSUNG DER ERFINDUNG

Erfindungsgemäß ist ein Träger/Rausch-Detektor für ein digitales Übertragungssystem geschaffen, der aufweist: einen Analog/Digital-Wandler, der mit einem Demodulator des digitalen Übertragungssystems verbunden ist, um ein Ausgangssignal des Demodulators mit einer Zeichentaktrate des Demodulators abzutasten und das abgetastete Signal in ein digitales Ausgangssignal mit positiven und negativen Werten umzuwandeln, eine Absolutwert-Wandlereinrichtung, um das digitale Ausgangssignal des Analog/Digital-Wandlers in ein digitales Signal mit einem Absolutwert umzuwandeln, eine erste Mittelungseinrichtung, um das digitale Absolutwertsignal über eine Periode mehrerer Zeichen zu mitteln, die ausreicht, kurzzeitige Schwankungen zu unterdrücken, eine erste Quadrierungseinrichtung, um den Wert des digitalen Absolutwertsignals aus der ersten Mittelungseinrichtung zu quadrieren, eine zweite Quadrierungseinrichtung, um den Wert des digitalen Signals aus dem Analog/Digital-Wandler zu quadrieren, eine zweite Mittelungseinrichtung, um das quadrierte digitale Signal aus der zweiten Quadrierungseinrichtung über eine Periode mehrerer Zeichen zu mitteln, die ausreicht, kurzzeitige Schwankungen zu unterdrücken, eine

Einrichtung, um das quadrierte digitale Ausgangssignal aus der ersten Quadrierungseinrichtung von dem gemittelten digitalen Ausgangssignal aus der zweiten Mittelungseinrichtung zu subtrahieren; und eine Einrichtung, um ein
 5 Verhältnis zwischen einem Ausgangssignal aus der ersten Quadrierungseinrichtung und einem Ausgangssignal aus der Subtraktionseinrichtung abzuleiten.

Um eine hochpräzise Messung bei hohen Rauschpegeln sicherzustellen, weist die Absolutwert-Wandlerschaltung
 10 vorzugsweise einen mit dem Ausgang des A/D-Wandlers verbundenen Vorwärtsfehler-Korrekturdekoder (FEC-Dekoder), einen mit dem Ausgang des FEC-Dekoders verbundenen Vorwärtsfehler-Korrekturkodierer und eine Verzögerungsschaltung auf, um eine Verzögerung in das Ausgangssignal des Analog/Digital-
 15 Wandlers mit einem Betrag einzuführen, der gleich dem der durch die FEC-Dekoder und Kodierer eingeführten Gesamtverzögerungen ist. Die Polarität des verzögerten Signals wird abhängig von den logischen Zuständen des FEC-Kodiererausgangs vor dem Anlegen an die erste Mittelungsschaltung invertiert oder nicht invertiert. Alternativ ist eine Wichtungsschaltung
 20 vorgesehen, um den Absolutwert mit einem Wichtungsfaktor zu multiplizieren und den gewichteten Wert an die erste Mittelungsschaltung anzulegen.

Man hat herausgefunden, daß sich das C/N-Verhältnis bei
 25 einer Frequenzabweichung des vom dem Demodulator aus der Frequenz des empfangenen Trägers wiederhergestellten Trägers ändert. Der Träger/Rausch-Verhältnisdetektor der vorliegenden Erfindung kann daher anstelle der teuren automatischen Frequenzsteuerschaltung, zur Verhinderung, daß der Demo-
 30 dulator auf einen Pseudo-Synchronisationsstatus einrastet, verwendet werden. Dieses wird durch die Steuerung eines in einem geschlossenen Regelkreis des Demodulators vorgesehenen spannungsgesteuerten Oszillators in Abhängigkeit von dem erhaltenen C/N-Verhältnis auf die Weise erreicht, daß
 35 letzteres auf einem Maximalpegel gehalten wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Die vorliegende Erfindung wird unter Bezugnahme auf die beigefügten Zeichnungen detaillierter beschrieben. Es stellen dar:

5 Fig. 1 ein Blockschaltbild eines Träger/Rausch-Detektors gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

 Fig. 2 ein Schaltbild der Absolutwert-Schaltung von Fig. 1;

10 Fig. 3 ein Schaltbild der Verzögerungsschaltung von Fig. 1;

 Fig. 4 ein Schaltbild der C/N-Verhältnis-Dividierschaltung von Fig. 1;

15 Fig. 5 eine graphische Darstellung der Wahrscheinlichkeitsdichteverteilung des Rauschens bei verschiedenen Rauschpegeln;

 Fig. 6 eine graphische Darstellung der mit dem Detektor von Fig. 1 gemessenen E_b/N_0 -Werte als Funktion der Eingangs- E_b/N_0 -Werte zum Vergleich mit den theoretischen E_b/N_0 -Werten;

20 Fig. 7 ein Blockschaltbild des Träger/Rausch-Detektors gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

 Fig. 8 ein Schaltbild des Polaritätsinverters von Fig. 6;

25 Fig. 9 eine graphische Darstellung der mit dem Detektor von Fig. 7 gemessenen E_b/N_0 -Werte als Funktion der Eingangs- E_b/N_0 -Werte zum Vergleich mit den theoretischen E_b/N_0 -Werten;

 Fig. 10 ein Blockschaltbild des Träger/Rausch-Detektors gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

30 Fig. 11 ein Schaltbild der Wichtungsschaltung von Fig. 10;

 Fig. 12a und 12b graphische Darstellungen der von den Ausgängen der Absolutwertschaltung bzw. Wichtungsschaltung

von Fig. 10 erhaltenen Wahrscheinlichkeitsdichteverteilung der Rauschanteile;

Fig. 13 eine graphische Darstellung der mit dem Detektor von Fig. 10 gemessenen E_b/N_0 -Werte als Funktion der E_b/N_0 -Eingangssignalwerte zum Vergleich mit den theoretischen E_b/N_0 -Werten; und

Fig. 14 ein Blockschaltbild des Träger/Rausch-Detektors gemäß einer vierten Ausführungsform der vorliegenden Erfindung.

10

DETAILLIERTE BESCHREIBUNG

In Fig. 1 ist ein C/N-Detektor gemäß einer ersten Ausführungsform der vorliegenden Erfindung dargestellt. Der C/N-Detektor weist einen Analog/Digital-Wandler 1 auf, der für den Empfang eines demodulierten 2-PSK-Signals von einem nicht dargestellten Demodulator verbunden ist, und der mit einer Taktrate für die Regeneration von Zeichen gesteuert wird, um das demodulierte Signal mit der regenerierten Zeichenrate abzutasten. Eine Absolutwert-Schaltung 2 ist mit dem Ausgang des A/D-Wandlers verbunden, um den negativen Wert des digitalen Ausgangssignals in einen positiven Wert umzuwandeln, und liefert ein Absolutwertsignal an eine erste Mittelungsschaltung 3, deren Ausgang mit einer ersten Quadrierungsschaltung 4 verbunden ist, um ein Ausgangssignal zu erzeugen, das den Wert C der Trägerkomponente darstellt. Das Ausgangssignal des A/D-Wandlers 1 wird ferner an eine zweite Quadrierungsschaltung 5 angelegt, mit der eine zweite Mittelungsschaltung 6 verbunden ist, um ein Ausgangssignal zu erzeugen, das die Gesamtwertkomponente (C + N) darstellt. Eine Subtrahierschaltung 7 ist mit den Ausgangssignalen der Schaltungen 4 und 6 verbunden, um das Ausgangssignal der Quadrierungsschaltung 4 von den Ausgangssignal der Mittelungsschaltung 6 zu subtrahieren, um den Wert der Rauschkomponente N zu erhalten. Eine Divisionsschaltung 8 ist mit dem Ausgang der Quadrierungsschaltung 4 und dem Ausgang der Subtrahierschaltung 7 verbunden, um das Verhältnis C/N zu bestimmen.

Insbesondere ist das Ausgangssignal des Demodulators ein Analogsignal das an den Regenerationszeitpunkten der Zeichen Augendiagramme aufweist, die mit den Signalpunkten übereinstimmen. Der A/D-Wandler 1 wandelt den abgetasteten Wert in einen digitalen n-Bit-Datenstrom d_i (wobei $i = 0, 1, 2, \dots, n$). Wenn n gleich drei ist, kann der Datenbitstrom so wie in Tabelle 1 gezeigt, dargestellt werden. Dieser Datenbitstrom wird sowohl an die Absolutwertschaltung 2 als auch an die zweite Quadrierungsschaltung 5 angelegt.

TABELLE 1

	Ausg.-Sign. d. A/D-Wandlers 1
3	011
2	010
1	001
0	000
-1	111
-2	110
-3	101
-4	100

Die Absolutwertschaltung 2 wandelt die Daten d_i in einen Absolutwert $|d_i|$ um. Wie in Fig. 2 dargestellt, weist die Absolutwertschaltung 2 einen n-Bit-Polaritätsinverter 12 und einen (n+1)-Bit-Addierer 13 auf. Wenn $n = 3$ ist, weist der Polaritätsinverter 12 die EXKLUSIV-ODER-Gatter 12-1, 12-2 und 12-3 auf, von denen jedes einen ersten Eingangsanschluß mit der Ausgangssignalposition des höchstwertigen Bits (MSB) des A/D-Wandlers 1 und einen zweiten Eingangsanschluß mit einer entsprechenden Ausgangsbitposition des A/D-Wandlers 1 verbunden hat. Der Polaritätsinverter 12 invertiert den Logikzustand des Eingangssignals zu jedem EXKLUSIV-ODER-Gatter, wenn das MSB auf logisch 1 liegt und legt die invertierten Bits an den Addierer 13 an, während er die Eingangssignale aller EXKLUSIV-ODER-Gatter an den Addierer 13 ohne jede Änderung hindurchläßt, wenn das MSB auf logisch 0 liegt. Der Addierer 13 addiert das MSB der 3-Bit-Eingangs-

signale vom A/D-Wandler 1 auf das niedrigstwertige BIT (LSB) der 3-Bit-Eingangssignale vom Inverter 12 und erzeugt 4-Bit-Ausgangssignale. Als Ergebnis werden die in der Tabelle 2 dargestellten Werte erhalten.

TABELLE 2

	Ausg.-Sign. d. Mitt.-Schalt.2
3	0011
2	0010
1	0001
0	0000
1	0001
2	0010
3	0011
4	0100

Die Mittelungsschaltung 3 mittelt die Absolutwerte über eine Periode von N Zeichen, was ausreichend lange ist, um kurzzeitige Schwankungen zu unterdrücken, und legt einen Mittelwert an die Quadrierungsschaltung 4 an. Wie in Fig. 3 dargestellt, besteht die Mittelungsschaltung 3 aus einem Addierer 14, der mit den Ausgang der Absolutwertschaltung 2 verbunden ist, einer Einzeltakt-Verzögerungsschaltung 15, die mit einer Zeichenrate von N Zeichen zurückgesetzt wird und zwischen dem Ausgang des Addierers 14 und einem zweiten Eingang des Addierers 14 angeschlossen ist. Der Addierer 14 und die Verzögerungsschaltung 15 bilden einen Integrator für die Integration von N Zeichen, dessen Wert mittels einer Divisionsschaltung 16 durch einen Konstante N dividiert wird. Da die in digitalen Daten enthaltene Rauschkomponente eine Gaußsche Verteilung aufweist, die um eine Amplitude A bei Null Rauschpegel zentriert ist, wird die Rauschkomponente durch den gerade beschriebenen Mittelungsvorgang unterdrückt und daher gibt der Ausgang der Mittelungsschaltung 3 die Amplitude eines Signalkpunktes des demodulierten Signals unter rauschfreien Bedingungen aus und wird durch die Gleichung (1) dargestellt.

$$A = \frac{1}{N} \sum_{i=0}^{N-1} |d_i| \quad (1)$$

5 Daher liefert der Ausgang der Quadrierungsschaltung 4 eine rauschfreie Trägerkomponente C, oder die Signalleistung S, die dargestellt werden kann durch:

$$S = A^2 \quad (2)$$

10 Da der Rauschanteil bezogen auf die Amplitude A an einem rauschfreien Signalpunkt eine Gaußsche Verteilung aufweist, ist die Rauschkomponentenleistung σ^2 gegeben durch:

$$\sigma^2 = \frac{1}{N} \sum_{i=0}^{N-1} (|d_i| - A)^2 \quad (3)$$

15 Durch Einsetzen der Gleichung (1) in Gleichung (3) wird nachstehende Beziehung erhalten:

$$\sigma^2 = \frac{1}{N} \sum_{i=0}^{N-1} d_i^2 - A^2 \quad (4)$$

20 Andererseits wird das Ausgangssignal des A/D-Wandlers 1 durch die zweite Quadrierungsschaltung 5 quadriert und über N Zeichen durch die zweite Mittelungsschaltung 6 in ähnlicher Weise gemittelt, wie es durch die gerade beschriebene Mittelungsschaltung 3 und Quadrierungsschaltung 4 ausgeführt wird. Folglich kann der erste Term der Gleichung (4) am
25 Ausgang der Mittelungsschaltung 6, nämlich als $\sigma^2 + A^2$ erhalten werden. Die Subtraktionsschaltung 7 subtrahiert die Signalleistung A^2 am Ausgang der Quadrierungsschaltung 4 von dem $(\sigma^2 + A^2)$ -Ausgangssignal der Mittelungsschaltung 6, um eine Rauschleistung σ^2 zu erhalten, die von der Divisions-
30 schaltung 8 verwendet wird, um das Ausgangssignal A^2 der Quadrierungsschaltung 4 zu dividieren. Wie in Fig. 4 dargestellt, weist die Divisionsschaltung 8 eine Umwandlungstabelle, oder einen Nur-Lese-Speicher 17 auf. Darin ist ein Satz von S/σ^2 -Werten an Speicherzellenstellen gespeichert,
35 die als Funktion der Variablen S und σ^2 adressierbar sind.

Obwohl sie für die meisten Anwendungen ausreicht, ist die erste Ausführungsform nicht für Systeme geeignet, die sehr stark von Rauschen beeinträchtigt werden. Wie in Fig. 3 dargestellt, nimmt die Wahrscheinlichkeitsdichteverteilung eines empfangenen 2-PSK-Signals eine Kurve 40 an, die eine Gaußsche Verteilung unter niedrigen Rauschbedingungen darstellt. Somit bewirkt die Polaritätsinvertierung der negativen Werte durch die Absolutwertschaltung 2, daß der Signalpunkt mit der Amplitude $-A$ über den Signalpunkt mit der Amplitude A gefaltet wird, wobei die Symmetrie der Kurve 40 erhalten bleibt. Unter Bedingung mit hohem Rauschen tritt jedoch eine Erhöhung der Varianz σ^2 der Gaußschen Verteilung auf und die Wahrscheinlichkeitsdichteverteilung des empfangenen Signals nimmt eine Kurve an, wie sie bei 41 dargestellt ist. Daher ergibt der Überfaltungseffekt der Absolutwertschaltung 2 unter Bedingungen mit hohem Rauschen eine Verteilungskurve 42 mit dem Ergebnis, daß der Mittelwert der Amplituden des empfangenen Signals zu einem Signalpunkt mit der Amplitude A' verschoben wird. Der Betrag dieses Fehlers steigt mit der Erhöhung des Rauschens. Wie in Fig. 6 dargestellt, zeigen die mit der Schaltung von Fig. 1 gemessenen E_b/N_0 -Werte eine zunehmende Abweichung von den theoretischen Werten, wenn das E_b/N_0 -Eingangssignalverhältnis niedriger wird.

Eine zweite Ausführungsform der vorliegenden Erfindung ist in Fig. 7 dargestellt. Diese Ausführungsform beseitigt den Nachteil der ersten Ausführungsform, indem die Vorteile der in digitalen Übertragungssystemen eingesetzten Vorwärtsfehlerkorrektur- und Dekodiertechniken genutzt werden. Anstelle der Verwendung der Absolutwertschaltung 2 von Fig. 1 weist die zweite Ausführungsform eine mit dem Ausgang des A/D-Wandlers 1 verbundene Verzögerungsschaltung 20, einen FEC-Dekoder 21 (Vorwärtsfehlerkorrektur-Dekoder) zum Dekodieren des Ausgangssignals des A/D-Wandlers 1 und zur Korrektur der Fehler und zum Speisen eines FEC-Kodierers 22 auf. Der Ausgang des Kodierers 22 ist mit einem Eingang eines Polaritätsinverters 23 verbunden, an den auch das

Ausgangssignal der Verzögerungsschaltung 20 angelegt ist. Der Polaritätsinverter 23 liefert eine Entscheidungsschwelle an die erste Mittelungsschaltung 3.

Der FEC-Dekoder 21 führt am Ausgangssignal des A/D-Wandlers 1 eine Fehlerdekodierung durch, indem Fehler nach einem bekannten Fehlerkorrekturalgorithmus korrigiert werden, um ein Signal zu erzeugen, das eine Kopie des Originalsignals vor dem Anlegen an den FEC-Kodierer eines nicht dargestellten Senders ist. Dieses Signal wird in derselben Weise an den FEC-Kodierer 22 angelegt, wie an den FEC-Kodierer des Senders. Aufgrund der Fehlerdekodier- und Kodierverfahren kann das Ausgangssignal des FEC-Kodierers 22 als ein dem Ausgangssignal des Sender-FEC-Kodierers ähnlicheres betrachtet werden als es das Ausgangssignal des Empfänger-demodulators dazu ist. Daher zeigt eine binäre 1 an Ausgang des Kodierers 22 an, daß sich das empfangene Eingangssignal an einem Punkt mit einer Amplitude A in der Wahrscheinlichkeitsdichteverteilung der Amplituden (Fig. 5) befindet, und eine binäre 0 am Kodiererausgang zeigt an, daß sich ein Eingangssignal an einem Punkt mit einer Amplitude - A befindet.

Das Ausgangssignal des A/D-Wandlers 1 wird durch die Schaltung 20 um einen Betrag verzögert, welcher der von dem Dekoder 21 und Kodierer 22 eingefügten Gesamtverzögerung entspricht, so daß die Eingangssignale des Polaritätsinverters 23 zueinander zeitkoinzident gehalten werden.

Der Polaritätsinverter 23 verwendet das Ausgangssignal des FEC-Kodierers 22 als Kriterium für die Bestimmung, ob das Ausgangssignal der Verzögerungsschaltung 20 an einem Signalkpunkt mit einer Amplitude A oder an einem Signalkpunkt mit einer Amplitude - A liegt. Der Polaritätsinverter 23 legt als Antwort auf eine binäre 1 vom Kodierer 22 das Ausgangssignal von der Verzögerungsschaltung 20 ohne Änderung seiner Polarität an die Mittelungsschaltung 3 an, und als Antwort auf eine binäre 0 legt er das Ausgangssignal der Verzögerungsschaltung 20 in der Polarität invertiert an die Mittelungsschaltung 3 an. Wie in Fig. 8 dargestellt, weist

der Polaritätsinverter 23 eine mit den Ausgang des FEC-Kodierers 22 verbundene NICHT-Schaltung 30, EXKLUSIV-ODER-Gattern 31-1 bis 31-n und einem Addierer 32 auf. Jedes EXKLUSIV-ODER-Gatter 31 ist mit jeweils einem ersten
 5 Eingangsanschluß mit dem Ausgang der NICHT-Schaltung 30 verbunden und mit einem zweiten Eingangsanschluß jeweils mit einem entsprechendem Ausgang der Verzögerungsschaltung 20 verbunden. Da das Ausgangssignal der Verzögerungsschaltung 20 durch das 2er-Komplement der n-Bit-Daten dargestellt wird,
 10 bewirkt die binäre 0 am Ausgang des Kodierers 22, daß die Logikzustände der Ausgangssignale der Verzögerungsschaltung 20 durch die EXKLUSIV-ODER-Gatter 31-1 bis 31-n invertiert und mit einer binären 1 aus dem Inverter 30 summiert werden,
 15 die von dem Addierer 32 mit dem LSB der n-Bit Ausgangssignale von den EXKLUSIV-ODER-Gattern 31 summiert wird, während eine binäre 1 am Ausgang des Kodierers 22 bewirkt, daß die Ausgangssignale der Verzögerungsschaltung 20 durch die Gatter 31 ohne Polaritätsinvertierung hindurchlaufen.

Als Folge dieses Polaritätsinvertierungsvorgangs wird die
 20 Wahrscheinlichkeitsdichteverteilung des demodulierten Signals um dem Signalfunkt mit der Amplitude A zentriert und nimmt die Kurve 40 von Fig. 5 an und der Amplitudenmittelwert des empfangenen Signals wird zu der Amplitude an dem Signalfunkt mit der Amplitude A auf gleichem Wert gebracht.

25 In dieser Ausführungsform kann das Ausgangssignal der ersten Quadrierungsschaltung 4 durch die folgende Gleichung beschrieben werden:

$$30 \quad S = \left[\frac{1}{N} \sum_{i=0}^{N-1} \text{SGN}(d_i) d_i \right]^2 \quad (5)$$

wobei $\text{SGN}(d_i)$ das Datenkriterium des FEC-Kodierers 22 darstellt.

Fig. 9 ist eine graphische Darstellung der Beziehung
 35 zwischen den von der Schaltung von Fig. 7 erhaltenen E_b/N_0 -Werten und theoretischen E_b/N_0 -Werten. Wie ersichtlich ist,

besteht bis hinunter zu niedrigen E_b/N_0 -Eingangssignalwerten eine vollständige Übereinstimmung zwischen den gemessenen und theoretischen Werten. Da bedeutet, daß das C/N-Verhältnis auch dann, wenn das Übertragungssystem einem erheblichen Rauschen unterliegt, präzise bestimmt werden kann.

Um eine genaue Bestimmung des C/N-Verhältnisses zu ermöglichen, werden die Verwendung eines leistungsfähigen Fehlerkorrekturalgorithmusses wie beispielsweise eines bewertenden Viterbi-Dekodieralgorithmusses oder von Faltungsdekodierungstechniken bevorzugt.

Die Messung des C/N-Verhältnisses eines System ohne Unterbrechung seines Betriebs kann alternativ auch durch eine dritte in Fig. 10 dargestellte Ausführungsform ausgeführt werden. Diese Ausführungsform unterscheidet sich von der ersten Ausführungsform durch die Einbeziehung einer adaptiven Wichtungsschaltung 50.

Da die Wahrscheinlichkeitsdichteverteilung der Amplituden des empfangen Signals eine Kurve A (siehe Fig. 12a) bei niedrigen Rauschpegeln und eine Kurve B bei hohen Rauschpegeln (siehe Fig. 12b) annimmt, werden die absoluten Amplitudenwerte bei niedrigen Pegeln ungefähr gleich wie die Amplituden am Signalkpunkt S. Bei sehr hohen Rauschpegeln ergeben die gemittelten absoluten Werte jedoch eine asymmetrische Kurve C bezüglich des Punktes S.

Der Absolutwert des Ausgangssignals des A/D-Wandlers 1 wird von der Absolutwertschaltung 2 aufgenommen und mit einem vorgeschriebenen Wichtungsfaktor von der adaptiven Wichtungsschaltung 50 gewichtet. $S(t)$ möge die Signalkomponente eines empfangenen Signals, und $N(t)$ die Rauschkomponente darstellen. Da die Rauschkomponente eine Gaußsche Verteilung aufweist, kann ein Mittelwert $\overline{N(t)}$ der Rauschkomponenten $N(t)$ zu Null angenommen werden, nämlich $\overline{N(t)} = 0$. Das Ausgangssignal der adaptiven Wichtungsschaltung 50 wird an die erste Mittelungsschaltung 3 angelegt, wo kurzzeitige Schwankungen, d.h., die Rauschkomponente $N(t)$, entfernt werden, um ein

Ausgangssignal $|S(t)|W(u)$ zu erzeugen, wobei $W(u)$ den Wichtungsfaktor darstellt und $u = |S(t) + N(t)|$. Daher ist das Ausgangssignal der ersten Quadrierungsschaltung 4 durch $\overline{S(t) \cdot W(u)^2}$ gegeben. Dieses Signal wird an die Subtraktions-
 5 schaltung 7 und die Divisionsschaltung 8 angelegt.

Aufgrund der Quadrierungs- und Mittelungsoperationen durch die Quadrierungsschaltung 5 und die Mittelungsschaltung 6 an dem Ausgangssignal $\{S(t) + N(t)\}$ des A/D-Wandlers 1 ist das von der Mittelungsschaltung 6 an die Subtraktions-
 10 schaltung 7 angelegte Eingangssignal durch die nachstehende Beziehung gegeben:

$$\begin{aligned} \overline{\{S(t) + N(t)\}^2} &= \overline{S(t)^2 + N(t)^2 + 2S(t)N(t)} \\ &= \overline{S(t)^2} + \overline{N(t)^2} + \overline{2S(t)N(t)} \end{aligned} \quad (6)$$

Da $\overline{N(t)} = 0$ ist, wird der dritte Term der Gleichung (6) zu Null und somit kann die Gleichung (6) neu geschrieben werden als:

$$\overline{\{S(t) + N(t)\}^2} = \overline{S(t)^2} + \overline{N(t)^2} \quad (7)$$

Dieser Wichtungsfaktor wird so bestimmt, daß der durch die Übernahme der Absolutwerte erzeugte nachteilige Überfaltungseffekt minimiert wird. Die nachstehenden Bedingungen sind Beispiele von Wichtungsfaktoren, bei denen der Wert x das Ausgangssignal der Absolutwertschaltung 2 und TH ein Schwellenwert darstellen.

- (1) $W(x) = x$
- 25 (2) $W(x) = 1 \quad x > TH$
 $\quad \quad \quad = 0 \quad x \leq TH$
- (3) $W(x) = 1 \quad x > TH$
 $\quad \quad \quad = -\alpha \quad x \leq TH$
- (4) $W(x) = x^2$

30 Fig. 11 ist ein Beispiel der adaptiven Wichtungsschaltung 50, welche gemäß Bedingung (3) aufgebaut ist. Die Wichtungsschaltung 50 weist einen Komparator 51, einen Multiplizierer 52 und eine Auswahlsschaltung 53 auf, an die die Ausgangs-

signale der Absolutwertschaltung 2 und des Multiplizierers 52 angelegt werden, um selektiv mit der Teilerschaltung 8 verbunden zu werden. Der Komparator 51 führt einen Vergleich zwischen den Ausgangssignalen der Absolutwertschaltung 2 und
 5 einem Schwellenwert TH durch und legt ein logisches Auswahlsignal an die Auswahlschaltung 53 an. Wenn das Ausgangssignal der Absolutwertschaltung 2 höher als der Schwellenwert TH ist, liegt das Auswahlsignal auf logisch 1, und anderenfalls liegt das Auswahlsignal auf logisch 0. Der
 10 Multiplizierer 52 multipliziert den Wichtungsfaktor $-\alpha$ auf das Ausgangssignal der Absolutwertschaltung 2 und legt es an die Auswahlschaltung 3 an. Wenn das Ausgangssignal des Komparators 51 auf logisch 1 liegt, wird das Ausgangssignal der Absolutwertschaltung 2 durch die Auswahlschaltung 53 an
 15 die Mittelungsschaltung 3 durchgeleitet, und anderenfalls wird das Ausgangssignal des Multiplizierers 52 an die Mittelungsschaltung 3 geführt.

Aufgrund der Wichtungsoperation nimmt die Wahrscheinlichkeitsdichteverteilung eine bei D in Fig. 12b dargestellte
 20 Kurve an, die aus der Lage der Kurve C (Fig. 12a) um einen Betrag, der dem Abstand zwischen dem Zwischenpunkt 0 und dem Schwellenwert entspricht, nach rechts verschoben ist. Der Wichtungsfaktor $-\alpha$ ist so bestimmt, daß die Rauschkomponente, die anderenfalls den erheblichsten Überfaltungseffekt
 25 bewirkt, auf ein Minimum reduziert wird.

Die Subtraktionsschaltung 7 führt die nachstehende Subtraktion aus

$$S(t)^2 + N(t)^2 - S(t) \cdot w(u)^2$$

um ein Ausgangssignal zu erzeugen, das $N(t)^2$ darstellt, welches an die Divisionsschaltung 8 angelegt wird. Die
 30 Divisionsschaltung 8 weist wie in der ersten Ausführungsform eine Umsetzungstabelle auf, an die die Signale $N(t)^2$ und $S(t)^2 + N(t)^2$ als Adressensignale angelegt werden. Fig. 13 ist eine graphische Darstellung der Kennlinie der dritten
 35 Ausführungsform bei Verwendung eines Schwellenwerts von 0,25 und eines Wichtungsfaktors von $-0,5$. Ein Vergleich zwischen

den Figuren 6 und 13 zeigt, daß die Präzision der Schaltung um einen Wert von 4dB bei hohen Rauschpegeln (niedrigen E_b/N_0 -Eingangssignalwerten) verbessert ist.

Man hat herausgefunden, daß sich das C/N-Verhältnis eines Demodulatorausgangssignals mit einer Abweichung der von den Demodulator aus der Frequenz des empfangenen Trägers regenerierten Trägerfrequenz verändert. Der Träger/Rausch-Detektor der vorliegenden Erfindung kann daher anstelle der teuren automatischen Frequenzsteuerungsschaltung zur Verhinderung, daß der Demodulator auf einen Pseudo-Synchronisationsstatus einrastet, verwendet werden. Dieses wird durch die Steuerung eines in einem geschlossenen Regelkreis angeordneten spannungsgesteuerten Oszillators entsprechend dem erhaltenen C/N-Verhältnis in der Weise erreicht, daß das Letztere auf einem maximalen Pegel gehalten.

Wie in Fig. 14 dargestellt, kann eine Pseudo-Synchronisations-Detektorschaltung durch den C/N-Verhältnisdetektor der vorliegenden Erfindung implementiert werden. Ein Demodulator 60 weist einen Quadraturdetektor 61 auf, der ein PSK-Eingangssignal am Anschluß 64 und einen regenerierten Träger von einem spannungsgesteuerten Oszillator 62 empfängt und demodulierte Signale an den Anschlüssen 65 erzeugt. Die demodulierten Ausgangssignale werden an eine Phasendetektions- und Filterschaltung 63 angelegt, um den VCO 62 entsprechend einer zwischen den zwei Ausgangssignalen detektierten Phasendifferenz zu steuern. Eines der Ausgangssignale wird an den Eingang des C/N-Verhältnisdetektors der vorliegenden Erfindung angelegt, welcher identisch zu dem in Fig. 1 dargestellten ist. Das Ausgangssignal der Divisionsschaltung 8 des C/N-Verhältnisdetektors wird an die Steuerschaltung 66 angelegt, die einen Differenzverstärker zum Vergleich mit einem Referenzschwellenwert enthält. Dieser Referenzschwellenwert entspricht einem Gleichspannungspegel, bei dem der VCO einen Träger mit der gewünschten Frequenz erzeugt, wenn sich das C/N-Verhältnis des Demodulators 60 auf einem maximalen Wert befindet. Das Ausgangssignal des Differenzverstärkers 66

stellt die Abweichung des C/N-Verhältnisses von seinem maximalen Wert dar, und wird an den Steueranschluß des VCO 62 angelegt.

5 Wenn sich der Demodulator in einem Synchronisationszustand befindet, liegt das C/N-Verhältnis des Demodulators auf dem maximalen Wert. Wenn er jedoch aus der Synchronisation herausläuft und in einen Pseudo-Synchronisationszustand eintritt, steigt die Rauschkomponente in den Ausgangssignalen des Demodulators 60 an und somit
10 verringert sich das C/N-Verhältnis des Demodulators, was eine entsprechend Änderung des Ausgangssignals des Differenzverstärkers 66 bewirkt. Auf diese Weise wird die VCO-Frequenz gesteuert, bis das Ausgangssignal der Divisionsschaltung zu dem maximalen C/N-Verhältnis zurückkehrt.

15 Die vorstehende Beschreibung stellt nur bevorzugte Ausführungsformen der vorliegenden Erfindung dar. Für Fachleute auf diesem Gebiet sind verschiedene Modifikationen offensichtlich, ohne von dem Umfang der vorliegenden Erfindung abzuweichen, welche nur durch die beigefügten Patentansprüche
20 eingeschränkt ist.

EP-B-0 296 822
(88 30 5685.5)
NEC CORPORATION
u.Z.: EP-2511

5

Patentansprüche

1. Träger/Rausch-Detektor für ein digitales Übertragungssystem mit:

10 einem Analog/Digital-Wandler (1), der mit einem Demodulator des digitalen Übertragungssystems verbunden ist, um ein Ausgangssignal des Demodulators mit einer Zeichentaktrate des Demodulators abzutasten und das abgetastete Signal in ein digitales Ausgangssignal mit positiven und negativen Werten zu wandeln;

15 einer Absolutwert-Wandlereinrichtung (2), um das digitale Ausgangssignal des Analog/Digital-Wandlers in ein digitales Signal mit einem Absolutwert zu wandeln;

20 einer ersten Mittelungseinrichtung (3), um das digitale Absolutwertsignal über eine Periode mehrerer Zeichen zu mitteln, die ausreicht, kurzzeitige Schwankungen zu unterdrücken;

einer ersten Quadrierungseinrichtung (4), um den Wert des digitalen Absolutwertsignals aus der ersten Mittelungseinrichtung zu quadrieren;

25 einer zweiten Quadrierungseinrichtung (5), um den Wert des digitalen Signals aus dem Analog/Digital-Wandler zu quadrieren;

30 einer zweiten Mittelungseinrichtung (6), um das quadrierte digitale Signal aus der zweiten Quadrierungseinrichtung über eine Periode mehrerer Zeichen zu mitteln, die ausreicht, kurzzeitige Schwankungen zu unterdrücken;

einer Einrichtung (7), um das quadrierte digitale Ausgangssignal aus der ersten Quadrierungseinrichtung von dem gemittelten digitalen Ausgangssignal aus der zweiten

Mittelungseinrichtung zu subtrahieren; und

einer Einrichtung (8), um ein Verhältnis zwischen einem Ausgangssignal aus der ersten Quadrierungseinrichtung (4) und einem Ausgangssignal aus der Subtraktionseinrichtung (7) abzuleiten.

2. Träger/Rausch-Verhältnisdetektor nach Anspruch 1, bei dem das digitale Ausgangssignal des Analog/Digital-Wandlers ein n-Bit Zweier-Komplement-Signal ist, und bei dem die Absolutwert-Wandlereinrichtung (2) aufweist:

10 einen Bitinverter (12), um die logischen Zustände der n-Bit-Ausgangssignale des Analog/Digital-Wandlers zu invertieren, wenn sich dessen höchstwertiges Bit auf logisch "1" befindet, um bitinvertierte n-Bit-Ausgangssignale zu erzeugen, und um nicht bitinvertierte n-Bit-Ausgangssignale zu erzeugen, wenn sich das höchstwertige Bit auf logisch "0" befindet; und

einen Addierer (13), um das höchstwertige Bit auf das niedrigstwertige Bit der bitinvertierten und der nicht invertierten n-Bit-Ausgangssignale zu summieren.

20 3. Träger/Rausch-Detektor nach Anspruch 1, bei dem die Einrichtung (8) zur Ableitung des Verhältnisses einen Speicher (17) aufweist, um mehrere Träger/Rausch-Verhältnisswerte an Stellen abzuspeichern, die als Funktion der Ausgangssignale der ersten Quadrierungseinrichtung (4) und der Subtrahiereinrichtung (7) adressierbar sind.

4. Träger/Rausch-Verhältnisdetektor nach Anspruch 1, bei dem die Absolutwert-Wandlereinrichtung (3) aufweist:

einen mit dem Ausgang des Analog/Digital-Wandlers (1) verbundenen Vorwärtsfehler-Korrekturdekoder (21);

30 einen mit dem Ausgang des Vorwärtsfehler-Korrekturdekoders (21) verbundenen Vorwärtsfehler-Korrekturkodierer (22);

eine Verzögerungsschaltung (20), um eine Verzögerung in das Ausgangssignal des Analog/Digital-Wandlers (1) um einen Betrag einzuführen, der gleich dem durch die Vorwärtsfehler-Korrekturdekoder (21) und Kodierer (22) eingeführten Gesamtverzögerungen ist; und

einen Polaritätsinverter (23), um die Polarität des Ausgangssignals der Verzögerungsschaltung in Abhängigkeit von dem logischen Zustand des Ausgangssignals des Vorwärtsfehlerkodierers (22) zu invertieren, um das polaritätsinvertierte Ausgangssignal an die erste Mittelungseinrichtung zu liefern, und um das Ausgangssignal der Verzögerungsschaltung ohne Invertierung von dessen Polarität an die erste Mittelungseinrichtung zu liefern.

5. Träger/Rausch-Verhältnisdetektor nach Anspruch 4, bei dem das digitale Ausgangssignal des Analog/Digital-Wandlers ein n-Bit Zweier-Komplement-Signal ist, und bei dem der Polaritätsinverter (23) aufweist:

einen Bitinverter (31), um die Logikzustände des Ausgangssignals der Verzögerungsschaltung zu invertieren oder die Logikzustände, abhängig vom logischen Zustand des Ausgangssignals des Kodierers (22), nicht zu invertieren; und

einen Addierer (32), um das Ausgangssignal des Kodierers (22) auf das niedrigstwertige Bit der invertierten oder nichtinvertierten Ausgangssignale aus dem Bitinverter (31) zu addieren.

6. Träger/Rausch-Verhältnisdetektor nach Anspruch 1, der ferner eine Wichtungseinrichtung (50) aufweist, um das digitale Absolutwertsignal mit einem Wichtungsfaktor zu multiplizieren und das gewichtete Digitalsignal an die erste Mittelungseinrichtung (3) anzulegen.

7. Träger/Rausch-Verhältnisdetektor nach Anspruch 6, bei dem die Wichtungseinrichtung (50) aufweist:

einen Komparator (51), um das digitale Absolutwertsignal

mit einem Referenzsignal zu vergleichen und um ein erstes Schaltsteuersignal zu erzeugen, wenn das digitale Absolutwertsignal höher als das Referenzsignal ist, und um ein zweites Schaltsteuersignal zu erzeugen, wenn das digitale Absolutwertsignal niedriger als das Referenzsignal ist;

einen Multiplizierer (52), um den Wichtungsfaktor mit dem digitalen Absolutwertsignal zu multiplizieren; und

einen Auswahlwechsler (53), um das digitale Absolutwertsignal als Antwort auf das erste Schaltsteuersignal an die erste Mittelungseinrichtung (3) anzulegen, und um ein Ausgangssignal des Multiplizierers als Antwort auf das zweite Schaltsteuersignal an die erste Mittelungseinrichtung anzulegen.

8. Träger/Rausch-Detektor nach Anspruch 1, bei dem der Demodulator einen spannungsgesteuerten Oszillator (62) enthält, um einen Träger als Nachbildung des Trägers eines empfangenen Signals wiederherzustellen, und der ferner eine auf die Verhältnisableitungseinrichtung (8) reagierende Einrichtung (66) aufweist, um die Ausgangsfrequenz des spannungsgesteuerten Oszillators in der Weise zu steuern, daß die Verhältnisableitungseinrichtung ein Ausgangssignal mit maximalen Pegel erzeugt.

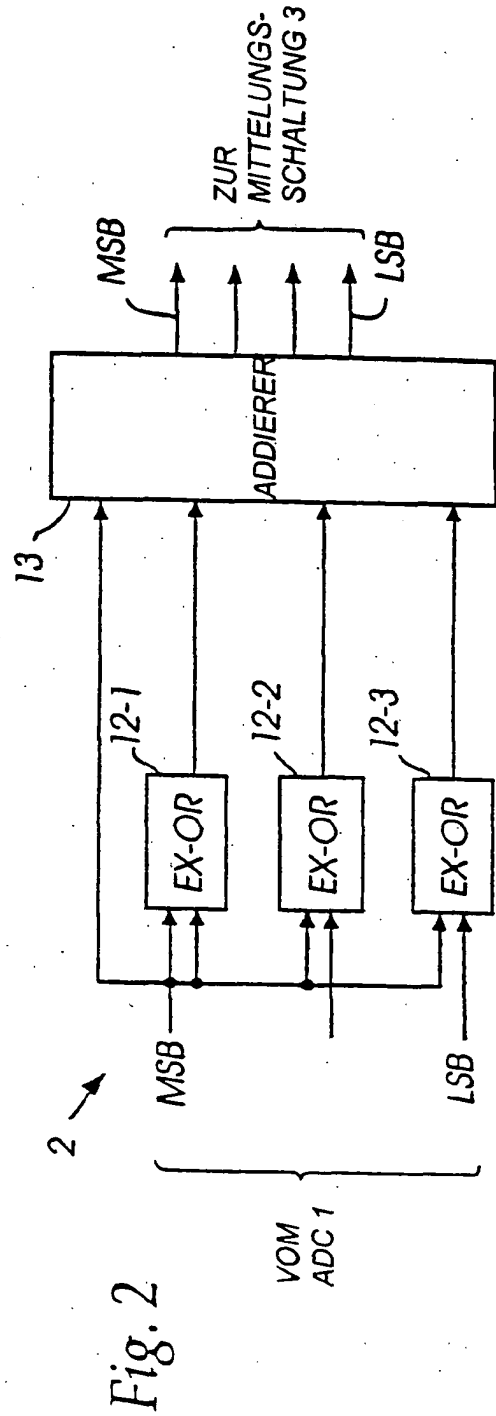
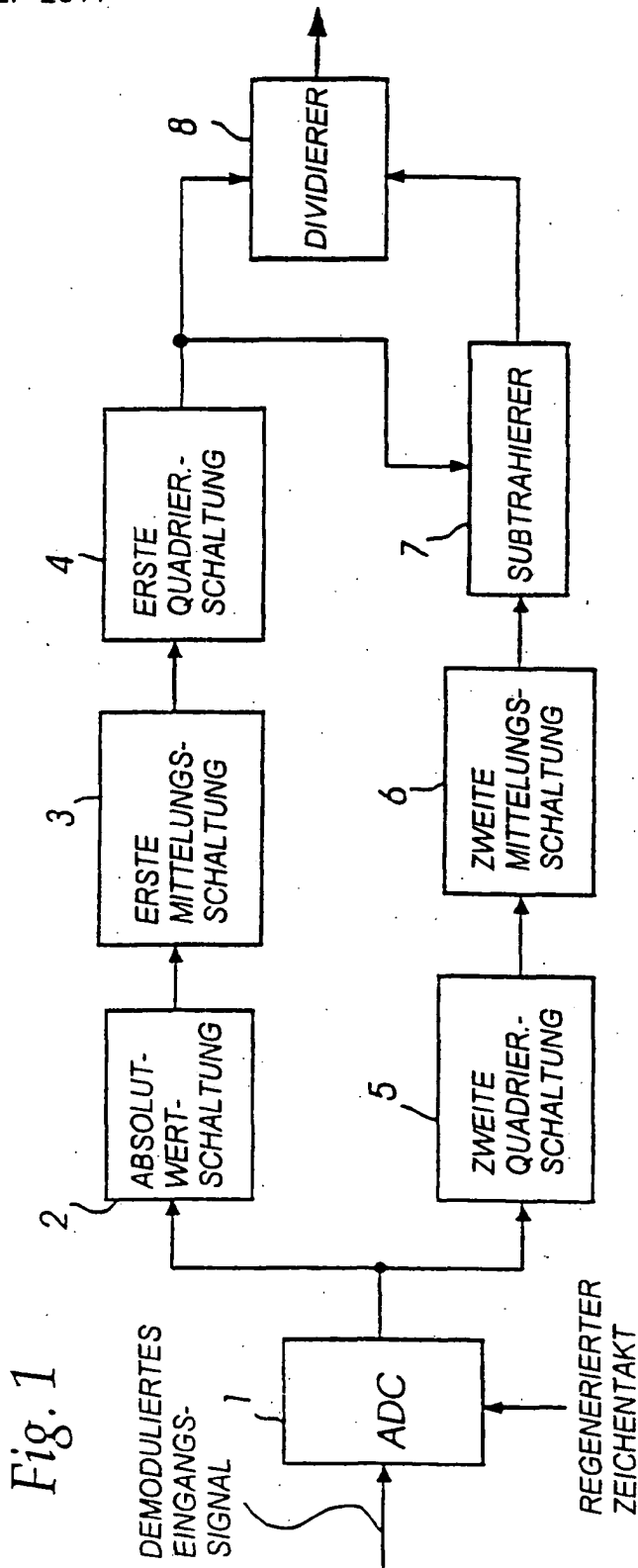


Fig. 3

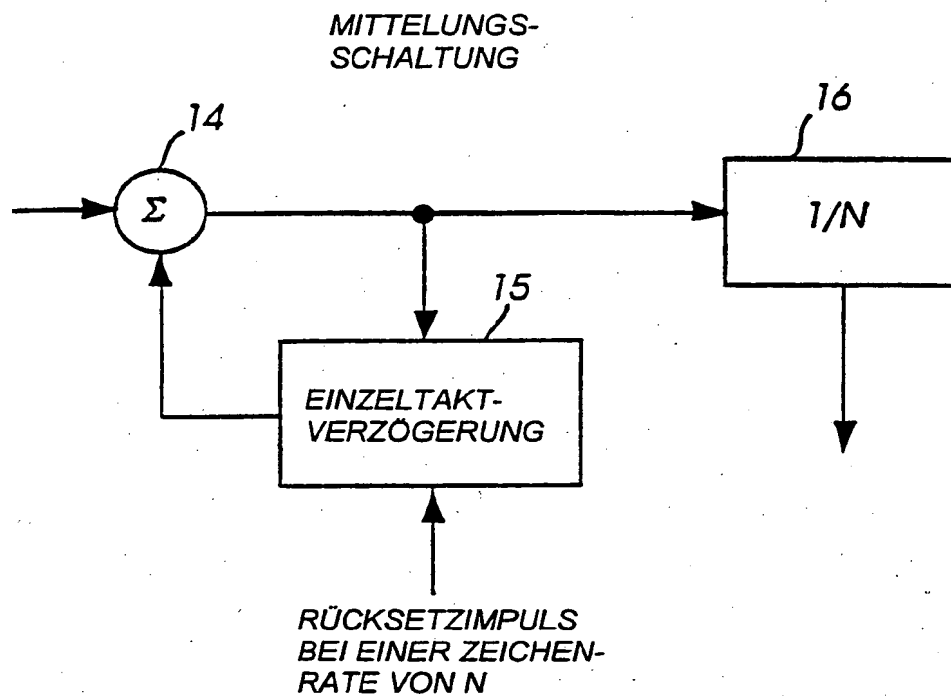


Fig. 4

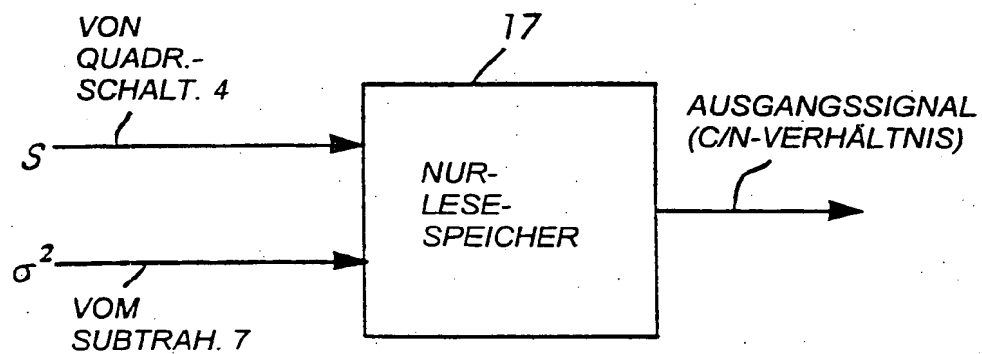


Fig. 5

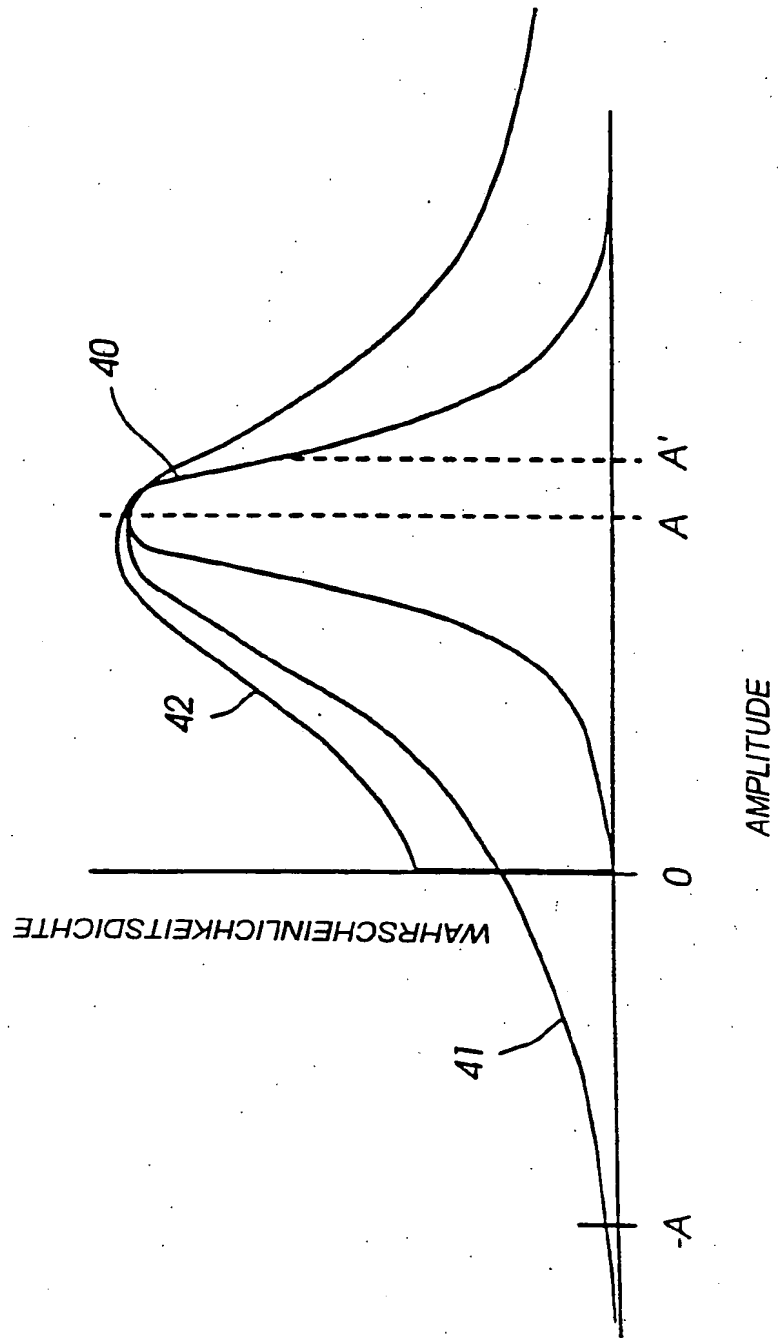
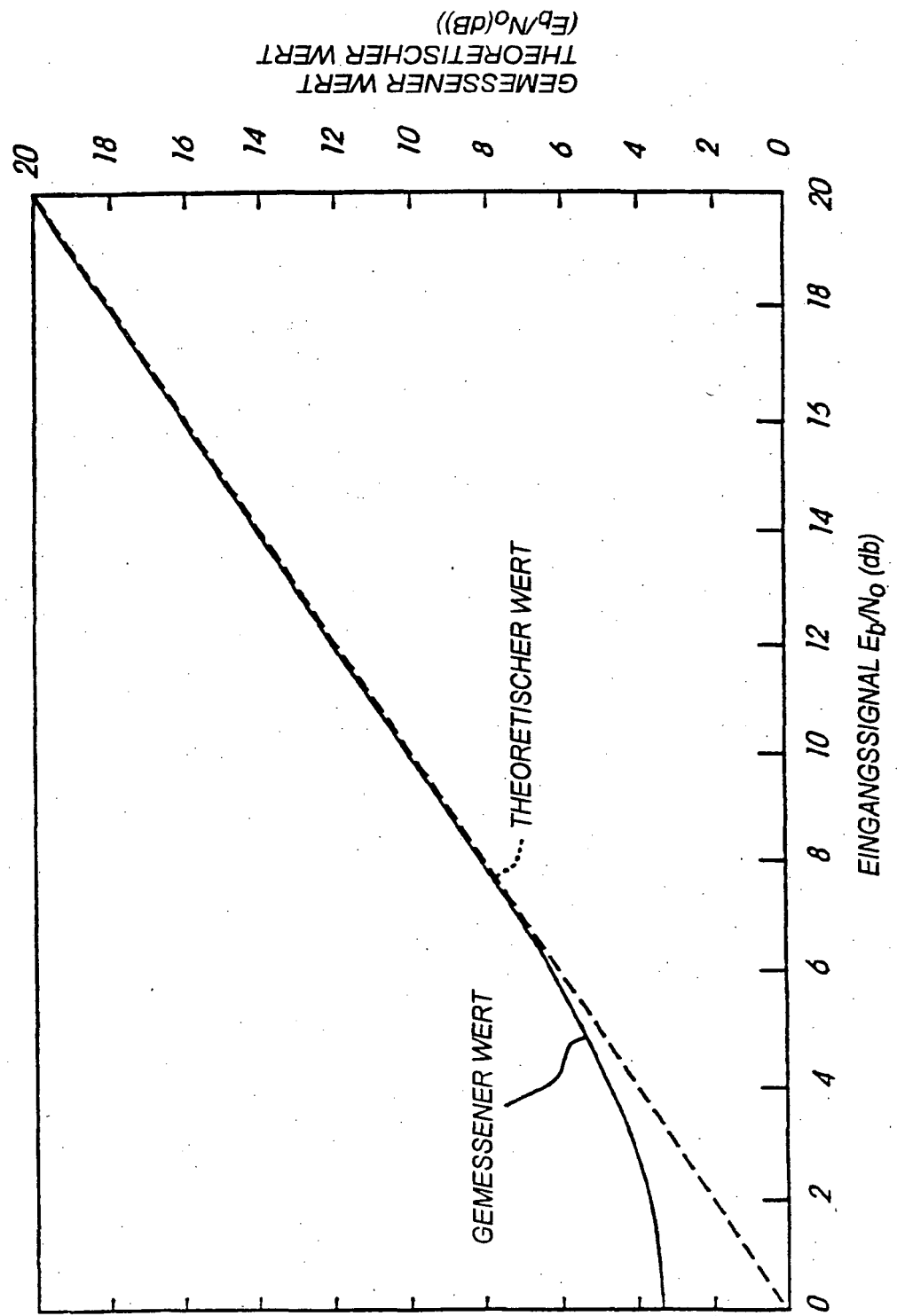


Fig. 6



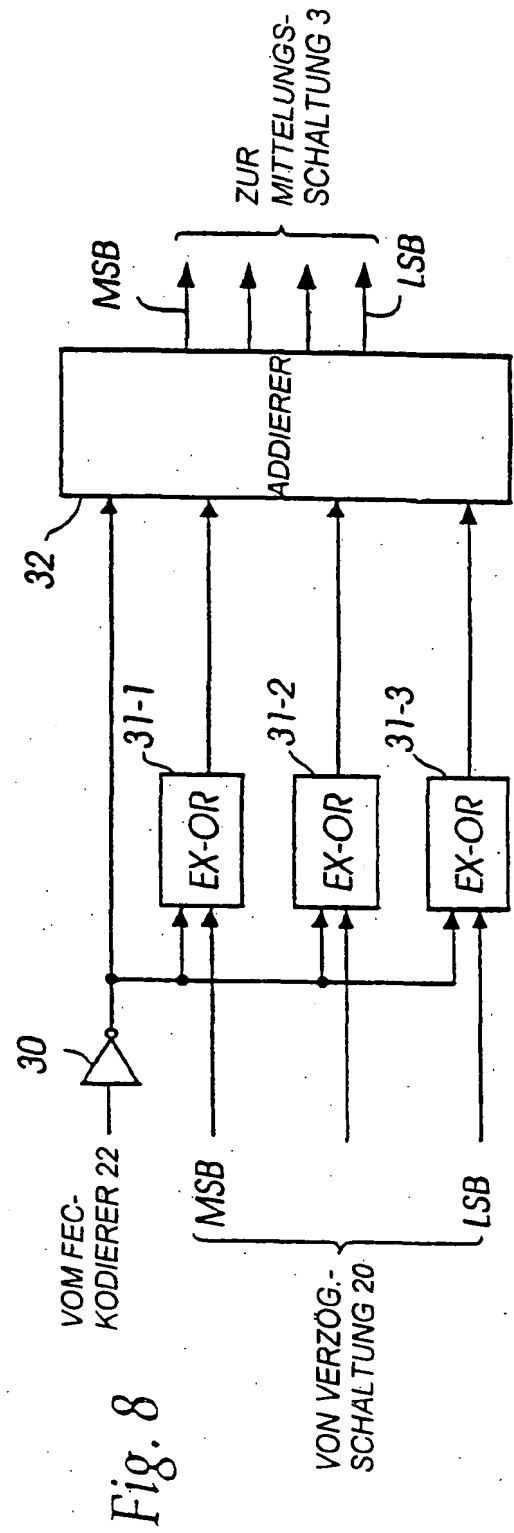
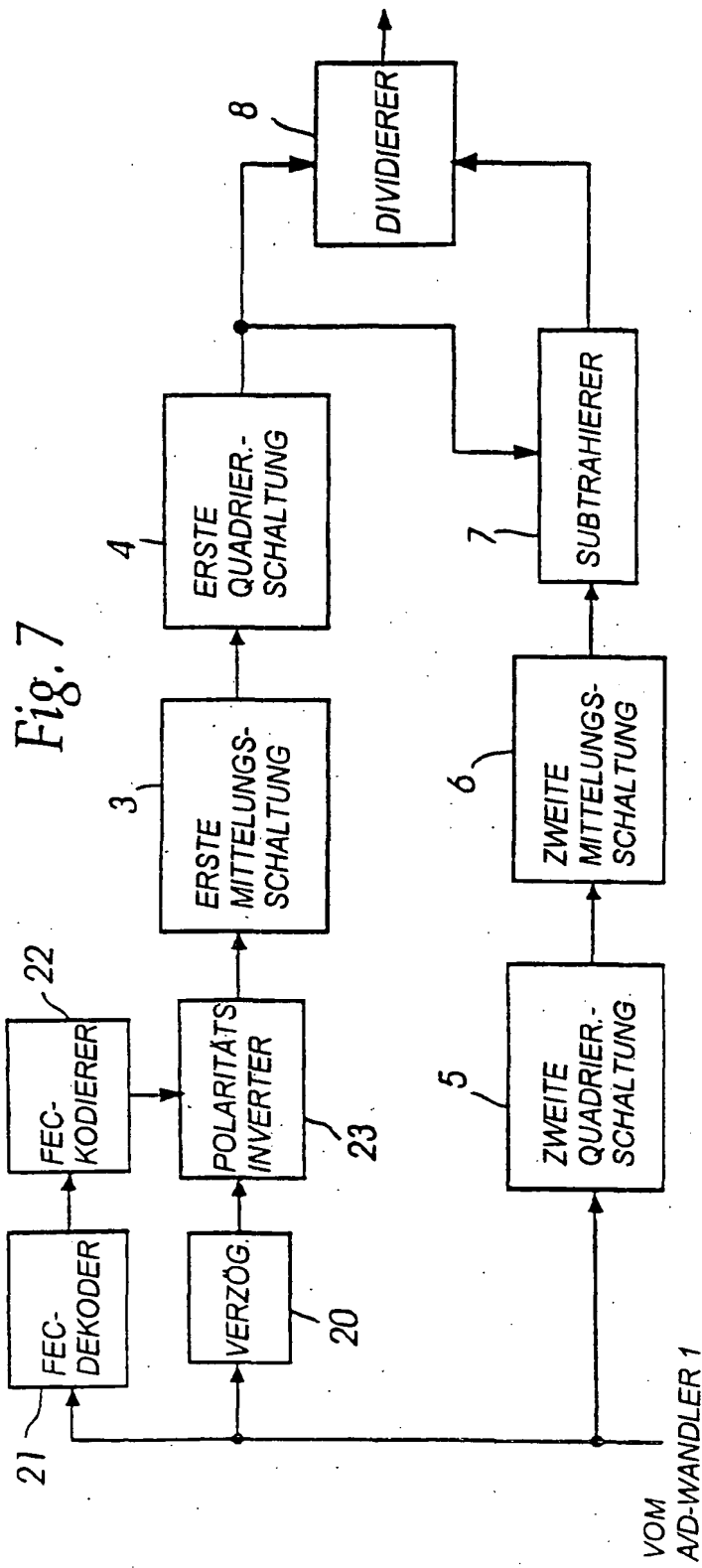


Fig. 9

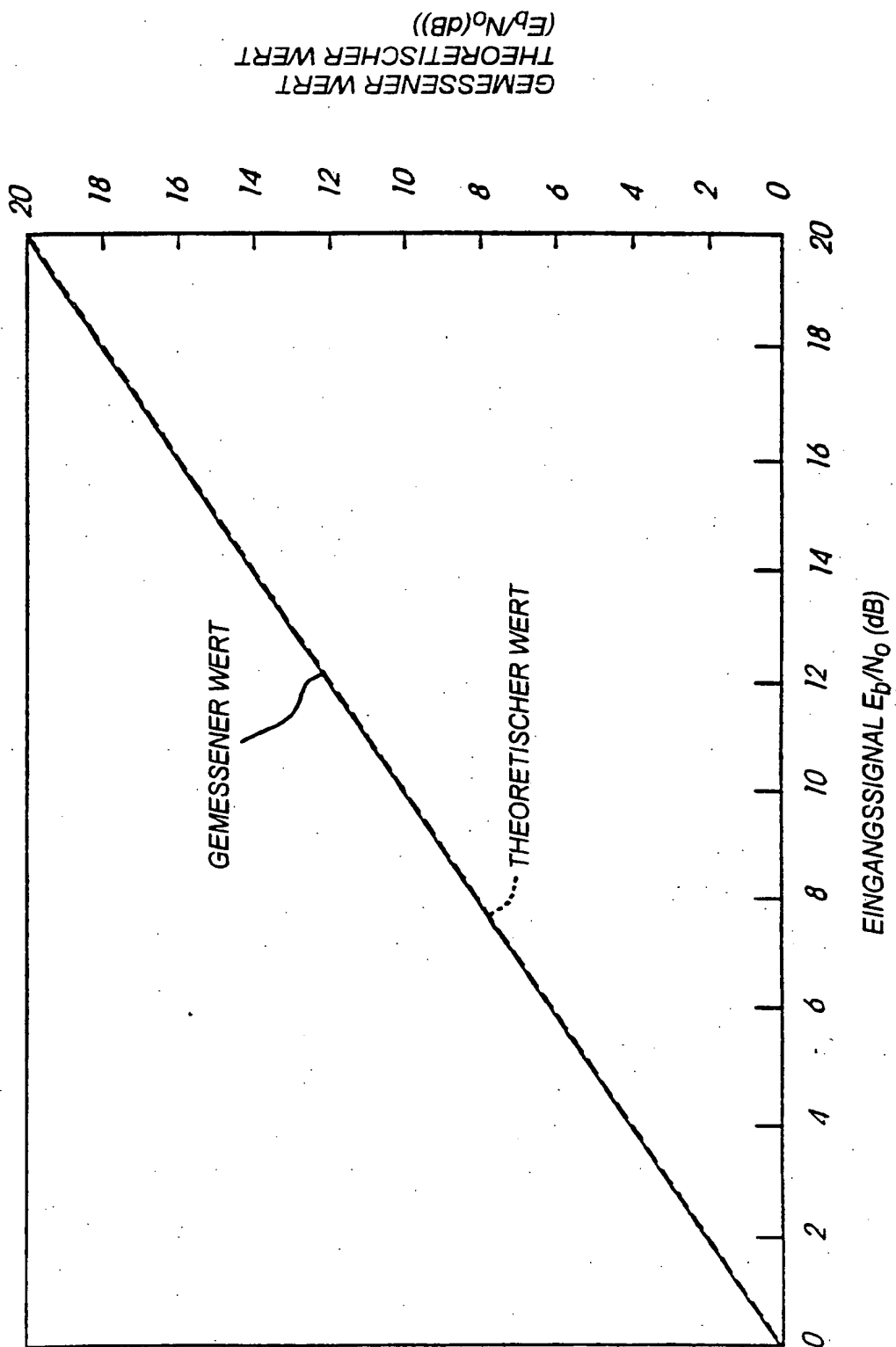


Fig. 10

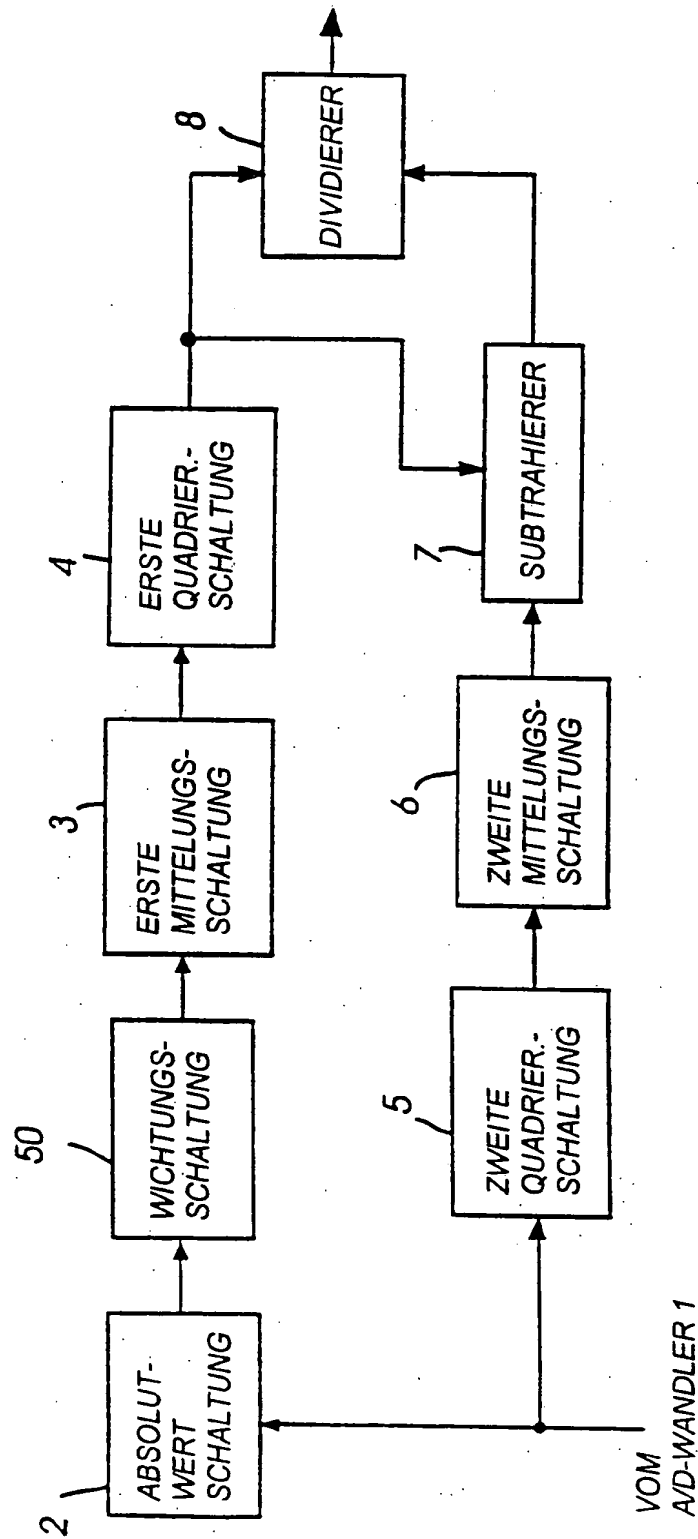


Fig. 11

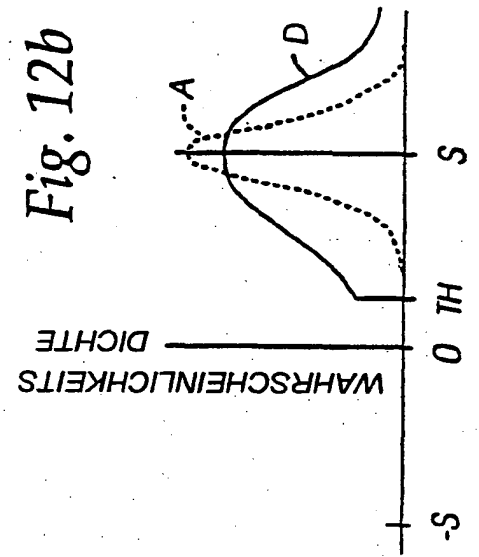
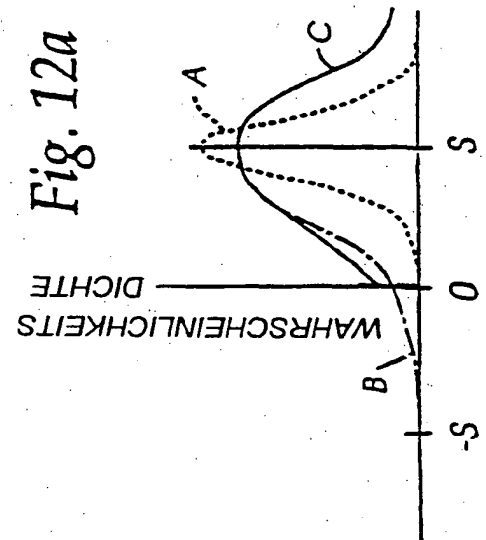
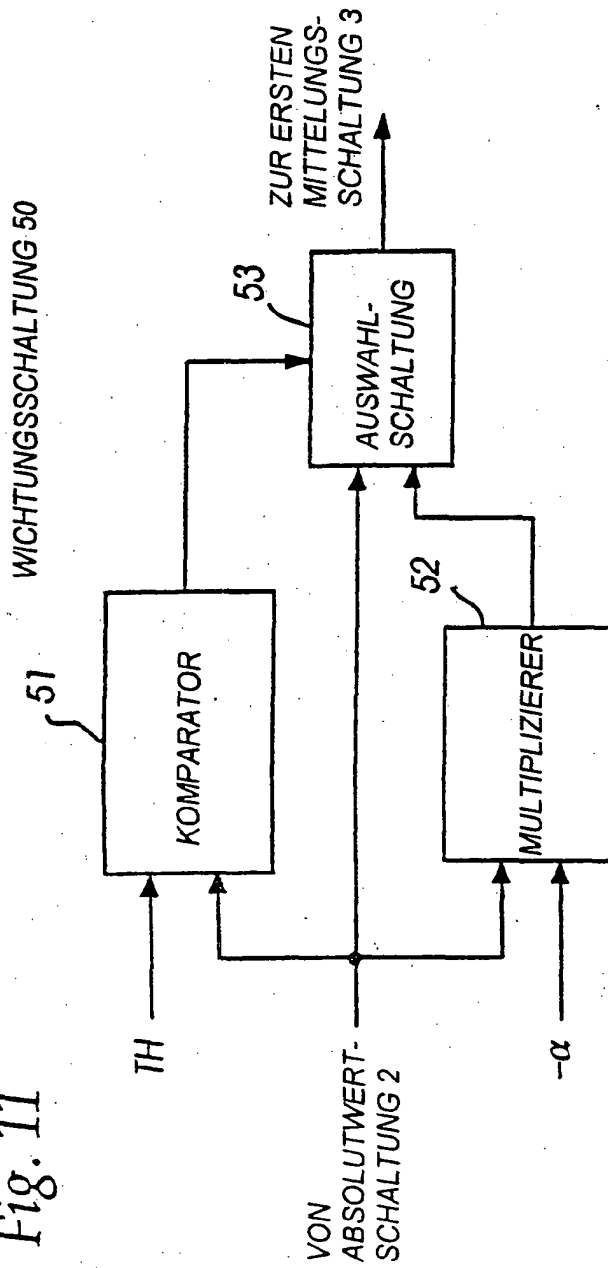


Fig. 13

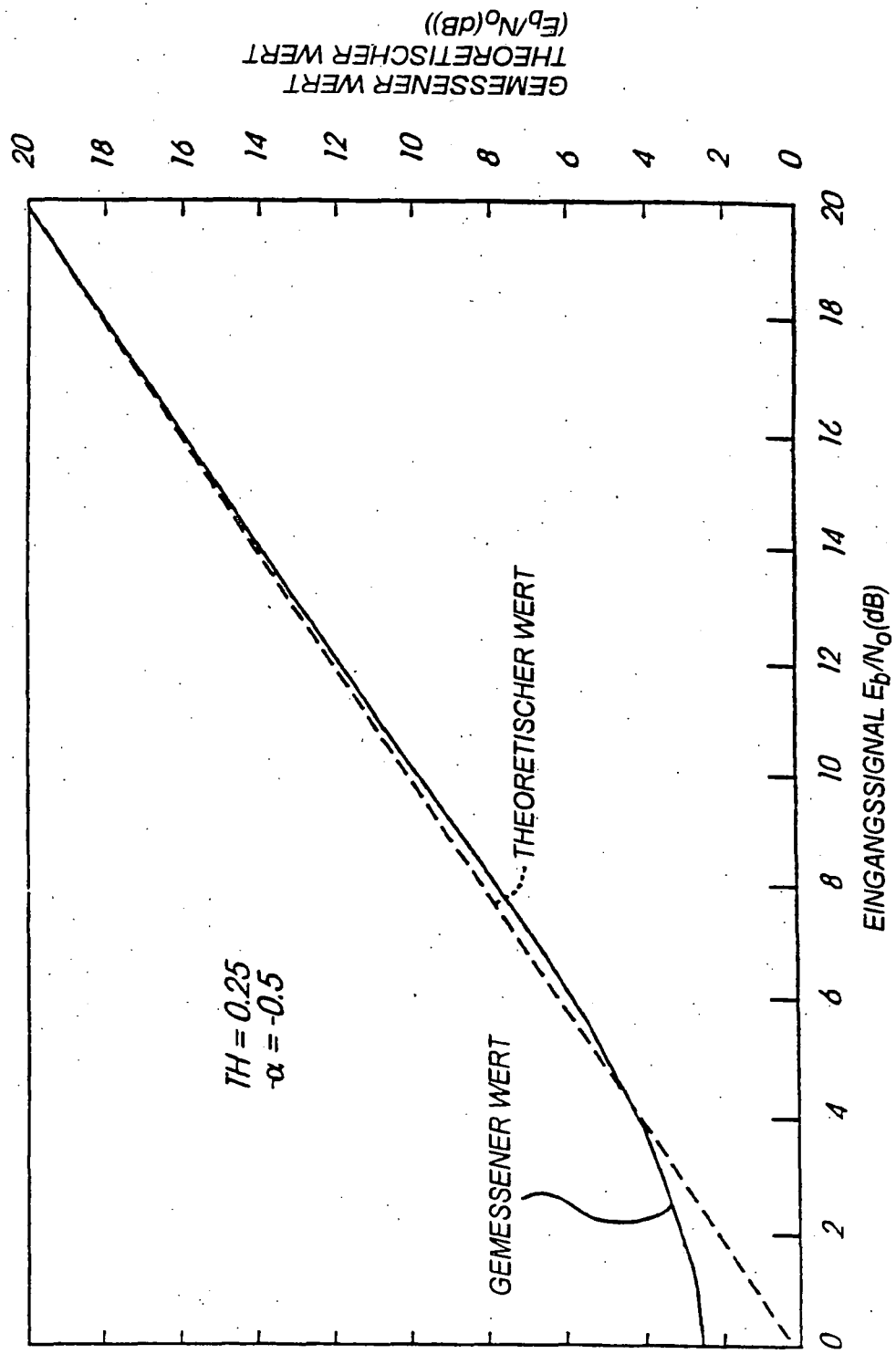


Fig. 14

